

**Partial translation of Japanese Unexamined Patent Publication
No. 2001-119026**

[0013]

5 On the surface of channel field c of the aforementioned silicon germanium channel layer 120, an aluminum oxide film 140 serving as a gate insulator layer is formed. The thickness of the aluminum oxide film 140 is 20-500 Å. A gate conductive layer 150 is formed on the aluminum oxide film 140. The gate conductive layer 150 is formed from polysilicon or a polysilicon-germanium alloy; however, it is not necessarily limited to these. Although not shown in the drawing, the source and drain electrodes are electrically connected to the source and drain regions 130, respectively.

10 The aluminum oxide film 140 has a large dielectric constant compared with a silicon oxide or silicon nitride film. Therefore, when using the aluminum oxide film 140 as the gate insulator layer, compared with the case where a silicon oxide or silicon nitride film is used as a gate insulator layer, the

15 conductance of the device can be further increased and allowing the operation speed of the device to be enhanced.

20

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-119026

(43)Date of publication of application : 27.04.2001

(51)Int.CI. H01L 29/78

(21)Application number : 2000-292907 (71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 26.09.2000 (72)Inventor : LEE GIL-GWANG
SAI TAIHII
SO GENSAN
BOKU SEIU

(30)Priority

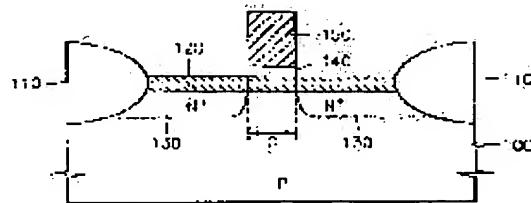
Priority number : 1999 9941313 Priority date : 27.09.1999 Priority country : KR

(54) MOS TRANSISTOR OF SIGE CHANNEL AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS transistor having a SiGe channel with improved electrical characteristics, and its manufacturing method.

SOLUTION: In this MOS transistor having an SiGe channel, a channel region C that is limited by source and drain regions 130 in a semiconductor substrate 100 is formed by an SiGe channel layer 120 with a high carrier mobility, and an aluminum oxide film 140 is used as a gate insulation film on it. A gate conductive layer 150 is formed on the aluminum oxide film 140, thus improving element speed and conductance. Especially, by forming the aluminum oxide film 140 at a low temperature, an improved gate insulation film can be obtained without causing the characteristics of the SiGe channel to deteriorate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.C1.⁷
H01L 29/78

識別記号

F I
H01L 29/78
301
301
301

マークコード (参考)

B
G
S

審査請求 未請求 請求項の数24 O L (全8頁)

(21)出願番号 特願2000-292907(P 2000-292907)
 (22)出願日 平成12年9月26日(2000.9.26)
 (31)優先権主張番号 1999 P - 41313
 (32)優先日 平成11年9月27日(1999.9.27)
 (33)優先権主張国 韓国(KR)

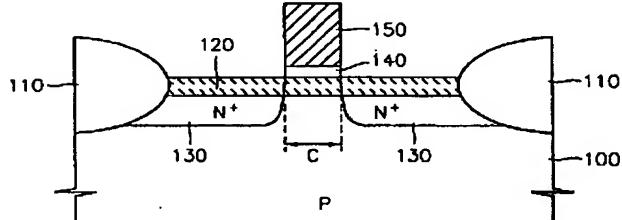
(71)出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市八達区梅灘洞416
 (72)発明者 李 倍 洪
 大韓民国京畿道龍仁市水枝邑竹田里501番
 地 東星2次アパート105棟704号
 (72)発明者 崔 兌 ▲ヒー▼
 大韓民国ソウル特別市麻浦区延南洞570-4
 1番地
 (74)代理人 100086368
 弁理士 萩原 誠

最終頁に続く

(54)【発明の名称】SiGeチャンネルのMOSトランジスタ及びその製造方法

(57)【要約】

【課題】 電気的特性が向上したSiGeチャンネルのMOSトランジスタ及びその製造方法を提供すること。
 【解決手段】 SiGeチャンネルのMOSトランジスタは、半導体基板100内のソース及びドレイン領域130により限定されるチャンネル領域Cがキャリアの移動度が高いSiGeチャンネル層120で形成されており、その上のゲート絶縁膜としてアルミニウム酸化膜140を使用する。アルミニウム酸化膜140上にはゲート導電層150が形成される。従って素子の速度を向上させられ、素子のコンダクタンスを増加させられる。特にアルミニウム酸化膜140を低温で形成することによってSiGeチャンネルの特性を劣化させずに良質のゲート絶縁膜を得られる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、この半導体基板の上部表面下に相互離隔するように形成された第2導電型のソース及びドレイン領域と、このソース及びドレイン領域により限定されるチャンネル領域に形成されたシリコンゲルマニウムチャンネル層と、前記チャンネル領域上に形成されたゲート絶縁膜としてのアルミニウム酸化膜と、このアルミニウム酸化膜上に形成されたゲート導電層と、前記ソース及びドレイン領域に各々電気的に連結されるように形成されたソース及びドレイン電極とを具備することを特徴とするSiGeチャンネルのMOSトランジスタ。

【請求項2】 前記基板はシリコン基板であることを特徴とする請求項1に記載のSiGeチャンネルのMOSトランジスタ。

【請求項3】 前記ソース及びドレイン領域はLDD構造であることを特徴とする請求項1に記載のSiGeチャンネルのMOSトランジスタ。

【請求項4】 前記シリコンゲルマニウムチャンネル層の厚さは50～1000Åであることを特徴とする請求項1に記載のSiGeチャンネルのMOSトランジスタ。

【請求項5】 前記アルミニウム酸化膜の厚さは20～500Åであることを特徴とする請求項1に記載のSiGeチャンネルのMOSトランジスタ。

【請求項6】 前記ゲート導電層はポリシリコンまたはポリシリコン-ゲルマニウム合金より形成されたことを特徴とする請求項1に記載のSiGeチャンネルのMOSトランジスタ。

【請求項7】 前記ゲート導電層の側壁に形成されたゲートスペーサをさらに具備することを特徴とする請求項1に記載のSiGeチャンネルのMOSトランジスタ。

【請求項8】 前記ゲートスペーサは、シリコン酸化膜とシリコンナイトライド膜が順次に積層された構造であることを特徴とする請求項7に記載のSiGeチャンネルのMOSトランジスタ。

【請求項9】 前記ソース及びドレイン領域上に第2導電型の上昇したソース及びドレイン領域をさらに具備することを特徴とする請求項1に記載のSiGeチャンネルのMOSトランジスタ。

【請求項10】 前記上昇したソース及びドレイン領域は、第2導電型の不純物がドーピングされたシリコン層より形成されたことを特徴とする請求項9に記載のSiGeチャンネルのMOSトランジスタ。

【請求項11】 前記上昇したソース及びドレイン領域と前記ゲート導電層上に形成され、各々前記ソース及びドレイン電極とゲート電極を構成する金属シリサイド層をさらに具備することを特徴とする請求項9に記載のSiGeチャンネルのMOSトランジスタ。

【請求項12】 前記金属シリサイド層を構成する金属はTi、Co、Ni、PtまたはZrであることを特徴とする請求項11に記載のSiGeチャンネルのMOSトランジスタ。

【請求項13】 (a) 第1導電型の半導体基板のアクティブ領域上にシリコンゲルマニウムチャンネル層を形成する段階と、(b) 前記シリコンゲルマニウムチャンネル層上にゲート絶縁膜としてアルミニウム酸化膜を形成する段階と、(c) 前記アルミニウム酸化膜上にゲート導電層を形成する段階と、(d) 前記アルミニウム酸化膜及び前記ゲート導電層の一部を除去して前記シリコンゲルマニウムチャンネル層の表面の一部を露出させ、かつアルミニウム酸化膜パターン及びゲート導電層パターンを形成する段階と、(e) 前記半導体基板の露出表面上に不純物イオンを注入して前記半導体基板の上部一定領域に第2導電型のソース及びドレイン領域を形成する段階と、(f) 前記ソース領域及び前記ドレイン領域に各々電気的に連結されるようにソース電極及びドレイン電極を形成する段階とを含むことを特徴とするSiGeチャンネルのMOSトランジスタ製造方法。

【請求項14】 前記シリコンゲルマニウムチャンネル層を形成する段階は、選択的エピタキシャル成長法を使用して遂行することを特徴とする請求項13に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項15】 前記選択的エピタキシャル成長法により前記シリコンゲルマニウムチャンネル層を形成するために、シリコンソースガスとしてSiH₄、SiH₄Cl₂、SiCl₄またはSi₂H₆ガスを使用し、ゲルマニウムソースガスとしてGeH₄ガスを使用することを特徴とする請求項14に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項16】 前記アルミニウム酸化膜を形成する段階は、原子層蒸着法を使用して遂行することを特徴とする請求項13に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項17】 前記原子層蒸着法を使用して前記アルミニウム酸化膜を形成する時に蒸着温度は100～700℃であることを特徴とする請求項16に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項18】 前記ソース及びドレイン領域形成のために用いられる不純物イオンは燐または砒素であることを特徴とする請求項13に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項19】 前記燐または砒素イオンの注入濃度は $1 \times 10^{13} \sim 1 \times 10^{14}/cm^2$ で、注入エネルギーは2～30KeVであることを特徴とする請求項18に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項20】 前記ソース及びドレイン領域を形成した後に、前記アルミニウム酸化膜パターン及び前記ゲート導電層パターンの側壁にスペーサを形成する段階をさ

らに含むことを特徴とする請求項13に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項21】前記スペーサを形成した後、前記スペーサをイオン注入マスクとして使用して不純物イオンを注入する段階をさらに含むことを特徴とする請求項20に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項22】前記不純物イオンとして燐または砒素イオンを使用し、注入濃度は $1 \times 10^{15} \sim 1 \times 10^{16}/cm^2$ で、注入エネルギーは10~80KeVであることを特徴とする請求項21に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項23】前記ソース及びドレイン電極を形成する段階は、

前記シリコンゲルマニウムチャンネル層の露出表面上にシリコン層を形成する段階と、

前記シリコン層に不純物イオンを注入して第2導電型の上昇したソース及びドレイン領域を形成する段階と、

前記上昇したソース及びドレイン領域を完全に覆う金属層を形成する段階と、

熱処理を遂行して前記上昇したソース及びドレイン領域と前記金属層との間にソース電極及びドレイン電極としての金属シリサイドを形成する段階と、

シリサイド化せずに残った前記金属層を除去する段階とを含むことを特徴とする請求項13に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【請求項24】前記金属層を除去する段階は、H₂O₂、H₂SO₄及びH₂O溶液の混合溶液を食刻液として使用した湿式食刻法を用いて遂行することを特徴とする請求項23に記載のSiGeチャンネルのMOSトランジスタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOSトランジスタ及びその製造方法に係り、より詳細には電気的特性が向上したSiGeチャンネルのMOSトランジスタ及びその製造方法に関する。

【0002】

【従来の技術】今までMOSトランジスタの高速化及び低電圧化のために色々な構造及び製造方法が試みられてきた。その構造及び製造方法中の一つは、IV族族物質をMOSトランジスタのチャンネルとして使用することであった。最近はシリコンゲルマニウム異種構造の物質をチャンネルとして使用する技術が活発に研究されている勢いである。MOSトランジスタでのキャリアのエレクトロン及びホールの移動度は、シリコン内でよりシリコンゲルマニウム内で高いという事実は既によく知られている[C.A.King, J.L.Hoyt, C.M.Gronet, J.F.Gibbons, M.P.Scott and J.Turner, IEEE Elec. Dev. Lett., 10, 52, (1989)]。

【0003】しかし、シリコンゲルマニウム異種構造の物質をチャンネルとして使用する技術を集積回路に適用

しようとする場合色々な難しさが派生される。その代表的なもののうちの一つはシリコンゲルマニウム(Si, Ge...)構造上に良質のゲート絶縁膜を形成することである。即ち、通常的なゲート絶縁膜として用いられるシリコン酸化膜またはシリコンナイトライド膜をシリコンゲルマニウムチャンネル上に形成させる場合に素子の電気的特性が低下する。

【0004】より具体的に説明すれば、まずゲート絶縁膜として用いられるシリコン酸化膜を形成するための熱酸化工程時に、シリコンゲルマニウムが分解されてゲルマニウムが偏析(segregation)される現象が発生する。

ゲルマニウムが偏析される現象が発生すると、周辺層にストレスを与え、またチャンネル内でのキャリアの移動度を低下させる。次に、ゲート絶縁膜として用いられるシリコンナイトライド膜を形成するためのシリコン空化工程は高温、例えば900°C以上で遂行されるので、この場合にもシリコンゲルマニウムが分解される問題が発生する。

【0005】このような問題を解決するために前記熱酸化工程またはシリコン空化工程をCIMD(Combined Ion and Molecular Deposition)法に取り替える方案が提案されたことがある。このCIMD法は低温状態でシリコン酸化膜またはシリコンナイトライド膜を形成できるので、先に言及した問題点は解決できる。

【0006】

【発明が解決しようとする課題】しかしこの方法は素子の速度を向上させるのには限界がある。即ち素子の速度を示す指標中の一つのコンダクタンス(G)は以下の数学式1に示した通りである。

【数1】

$$G = \frac{W}{L} \mu C_o (V_g - V_{th})$$

ここでWはチャンネルの幅を、Lはチャンネルの長さを、 μ はキャリアの移動度を、C_oはゲート絶縁膜のキャパシタンスを、V_gはゲート電圧を、そしてV_{th}はスレッショルド電圧を各々示す。素子の速度を高めるためにはコンダクタンスを増加させるべきであるが、物理的な限界によってチャンネルの幅と長さの比は増加させ難く、低消費電力の側面で(V_g - V_{th})の値も増加させ難い。従ってキャリアの移動度 μ を増加させたりゲート絶縁膜のキャパシタンスC_oを増加させるべきである。しかしシリコン酸化膜またはシリコン空化膜のキャパシタンスを増加させることも決まった誘電率によって限界がある。

【0007】本発明は上記の点に鑑みなされたもので、その目的は、低温で形成可能で誘電率の大きい物質がゲート絶縁膜として使われて電気的特性が向上したSiGeチャンネルのMOSトランジスタを提供することにある。本発明の他の目的は、前記SiGeチャンネルのMOSトランジスタを製造する方法を提供することにある。

【0008】

【課題を解決するための手段】本発明に係るSiGeチャンネルのMOSトランジスタは、第1導電型の半導体基板と、この半導体基板の上部表面下に相互離隔するように形成された第2導電型のソース及びドレイン領域と、このソース及びドレイン領域により限定されるチャンネル領域に形成されたシリコンゲルマニウムチャンネル層と、前記チャンネル領域上に形成されたゲート絶縁膜としてのアルミニウム酸化膜と、このアルミニウム酸化膜上に形成されたゲート導電層と、前記ソース及びドレン領域に各々電気的に連結されるように形成されたソース及びドレイン電極とを具備することを特徴とする。

【0009】前記シリコンゲルマニウムチャンネル層の厚さは50～1000Åであることが望ましいし、前記アルミニウム酸化膜の厚さは20～500Åであることが望ましい。また前記ゲート導電層の側壁に形成されたゲートスペーサをさらに具備することができ、この場合に前記ゲートスペーサは、シリコン酸化膜とシリコンナイトライド膜が順次に積層された構造であることが望ましい。前記ソース及びドレイン領域上には第2導電型の上昇したソース及びドレイン領域をさらに具備する場合があり、この場合に前記上昇したソース及びドレイン領域は、第2導電型の不純物がドーピングされたシリコン層より形成されることが望ましい。また前記ソース及びドレイン領域と前記ゲート導電層上に形成されて各々が前記ソース及びドレイン電極とゲート電極を構成する金属シリサイド層をさらに具備する場合がある。この時、前記金属シリサイド層を構成する金属はTi、Co、Ni、PtまたはZrであることが望ましい。

【0010】本発明に係るSiGeチャンネルのMOSトランジスタの製造方法によれば、まず、第1導電型の半導体基板のアクティブ領域上にシリコンゲルマニウムチャンネル層を形成する。次に、前記シリコンゲルマニウムチャンネル層上にゲート絶縁膜としてアルミニウム酸化膜を形成する。次に、前記アルミニウム酸化膜上にゲート導電層を形成する。次に、前記アルミニウム酸化膜及び前記ゲート導電層の一部を除去して前記シリコンゲルマニウムチャンネル層の表面の一部を露出させ、かつアルミニウム酸化膜パターン及びゲート導電層パターンを形成する。次に、前記半導体基板の露出表面上に不純物イオンを注入して前記半導体基板の上部一定領域に第2導電型のソース及びドレイン領域を形成する。そして前記ソース領域及び前記ドレイン領域に各々電気的に連結されるようにソース電極及びドレイン電極を形成する。

【0011】前記シリコンゲルマニウムチャンネル層を形成する段階は、選択的エピタキシャル成長法を使用して遂行することができ、この場合にシリコンソースガスとしてSiH₄、SiH₂Cl₂、SiCl₄またはSi₂H₆ガスを使用し、ゲルマニウムソースガスとしてGeH₆ガスを使用することが望ましい。前記アルミニウム酸化膜を形成する段

階は、原子層蒸着法を使用して遂行することができ、この場合に蒸着温度は100～700℃であることが望ましい。前記ソース及びドレイン領域を形成した後に、前記アルミニウム酸化膜パターン及び前記ゲート導電層パターンの側壁にスペーサを形成する段階をさらに含む場合がある。望ましくは、前記ソース及びドレイン電極を形成するために、前記シリコンゲルマニウムチャンネル層の露出表面上にシリコン層を形成し、そのシリコン層に不純物イオンを注入して第2導電型の上昇したソース及びドレイン領域を形成し、その上昇したソース及びドレイン領域を完全に覆う金属層を形成し、熱処理を遂行することにより前記上昇したソース及びドレイン領域と前記金属層との間にソース電極及びドレイン電極としての金属シリサイドを形成する。そしてシリサイド化せずに残った前記金属層を除去する。

【0012】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施の形態について詳細に説明する。図1は本発明の一実施形態に係るSiGeチャンネルのMOSトランジスタを示す断面図である。図1を参照すれば、シリコンよりなる第1導電型、例えばP型の半導体基板100内には素子分離膜110によりアクティブ領域が限定される。前記素子分離膜110には、図示したようにフィールド酸化膜を使用できるが、場合によってはトレンチ形態の素子分離膜を形成する場合もある。半導体基板100のアクティブ領域上にはシリコンゲルマニウムチャンネル層120が形成される。このシリコンゲルマニウムチャンネル層120の厚さは50～1000Åである。このシリコンゲルマニウムチャンネル層120は、その一部領域(図面でcで示す区間)がMOSトランジスタのチャンネル領域として使われる。シリコンゲルマニウムチャンネル層120及び半導体基板100の一部領域には第2導電型、例えばN型のソース及びドレイン領域130が相互一定間隔、即ちチャンネル領域の長さcに対応する間隔だけ離隔するように形成される。MOSトランジスタのチャンネル領域がシリコンゲルマニウムより形成されているので、シリコン内に形成されたチャンネル領域によりキャリア、即ち電子の移動度がさらに高まり、従って素子の動作速度が向上する。

【0013】前記シリコンゲルマニウムチャンネル層120のチャンネル領域cの表面上にはゲート絶縁膜としてのアルミニウム酸化膜140が形成される。このアルミニウム酸化膜140の厚さは20～500Åである。このアルミニウム酸化膜140上にはゲート導電層150が形成される。このゲート導電層150はポリシリコンまたはポリシリコン-ゲルマニウム合金より形成されるが、必ずこれに限定されることではない。図面には示さなかったが、ソース及びドレイン電極が各々ソース及びドレイン領域130と電気的に連結されるように形成される。前記アルミニウム酸化膜140はシリコン酸化

膜またはシリコン窒化膜に比べて大きい誘電率を有する。従って前記アルミニウム酸化膜140をゲート絶縁膜として使用する場合、シリコン酸化膜またはシリコン窒化膜をゲート絶縁膜として使用する場合より素子のコンダクタンスがさらに増加し、これにより素子の動作速度を向上できる。

【0014】図2は、本発明の他の実施形態に係るSiGeチャンネルのMOSトランジスタを示す断面図である。本実施形態で用いられるSiGeチャンネルのMOSトランジスタは、上昇したソース及びドレイン領域を有するという点で前述した実施形態とは違う。上昇したソース及びドレイン領域を有するMOSトランジスタは、一般のMOSトランジスタに比べてソース及びドレイン電極の接触抵抗をより容易に低められる構造を有する。

【0015】図2を参照すれば、シリコンよりなる第1導電型、例えばP型の半導体基板200内には素子分離膜210によりアクティブ領域が限定される。半導体基板200のアクティブ領域上にはシリコングルマニウムチャンネル層220が形成される。このシリコングルマニウムチャンネル層220の厚さは50～1000Åである。このシリコングルマニウムチャンネル層220は、その一部領域(図面でcで示した区間)がMOSトランジスタのチャンネル領域として使われる。シリコングルマニウムチャンネル層220及び半導体基板200の一部領域には第2導電型、例えばN型のソース及びドレイン領域230が相互一定間隔、即ちチャンネル領域の長さcに対応する間隔だけ離隔するように形成される。このソース及びドレイン領域230はLDD(Lightly Doped Drain)構造を有する。先に言及されたように、MOSトランジスタのチャンネル領域がシリコングルマニウムより形成されているので、シリコン内に形成されたチャンネル領域でよりキャリア、即ち電子の移動度がさらに高まり、従って素子の動作速度が向上する。

【0016】前記シリコングルマニウムチャンネル層220のチャンネル領域cの表面上にはゲート絶縁膜としてのアルミニウム酸化膜240が形成される。このアルミニウム酸化膜240の厚さは20～500Åである。このアルミニウム酸化膜240上にはゲート導電層250が形成される。このゲート導電層250はポリシリコンまたはポリシリコングルマニウム合金を使用して形成できる。アルミニウム酸化膜240及びゲート導電層250の側壁にはスペーサ260が形成される。このスペーサ260は、LDD構造のソース及びドレイン領域230を形成させるためのイオン注入マスクとして使われる場合もある。このスペーサ260はシリコン酸化膜261とシリコンナイトライド膜262が順次に積層された構造である。このスペーサ260と素子分離膜210との間でシリコングルマニウムチャンネル層220の表面上には上昇したソース及びドレイン領域270が形成される。この上昇したソース及びドレイン領域270は

N型不純物イオンがドーピングされたシリコン層より形成される。上昇したソース及びドレイン領域270上には各々ソース及びドレイン電極としての機能を遂行する金属シリサイド280が形成される。またゲート導電層150の上部表面上にもゲート電極としての機能を遂行する金属シリサイド290が形成される。これら金属シリサイド280、290を構成する金属はTi、Co、Ni、PtまたはZrである。

【0017】本発明の第2実施形態に係る上昇したソース及びドレイン領域を有するSiGeチャンネルのMOSトランジスタの場合にも、先に言及されたように、相対的に大きい誘電率を有するアルミニウム酸化膜240をゲート絶縁膜として使用するので、素子のコンダクタンスがさらに増加し、これにより素子の動作速度を向上させられる。

【0018】図3乃至図7は、本発明に係るSiGeチャンネルのMOSトランジスタ製造方法を説明するために示す断面図である。本実施形態では、前述した第2実施形態の上昇したソース及びドレイン領域を有するSiGeチャンネルのMOSトランジスタを製造する方法に関して説明するが、前述した第1実施形態のSiGeチャンネルのMOSトランジスタに関しても同様に適用できるということは、当業者には周知のことである。

【0019】まず図3に示したように、第1導電型、例えばP型の半導体基板300にアクティブ領域Aを限定する。このアクティブ領域Aは素子分離膜310により限定される。素子分離膜310としては図示したようなフィールド酸化膜を使用して形成するが、場合によってはトレンチ形態の素子分離膜を形成することもある。アクティブ領域Aを限定した後には、選択的エピタキシャル成長法を使用して前記アクティブ領域A上にシリコングルマニウムチャンネル層320を形成する。このシリコングルマニウムチャンネル層320は、化学気相蒸着法または分子線エピタキシ方法を使用して形成する場合もある。このシリコングルマニウムチャンネル層320を形成するために使用するシリコンソースガスとしてはSiH₄、SiH₂Cl₂、SiCl₄またはSi₂H₆ガスを使用し、ゲルマニウムソースガスとしてはGeH₄ガスを使用できるが、ここで言及したガス以外のガスを使用してもよい。シリコングルマニウムチャンネル層320の厚さは約50～1000Åにする。

【0020】次に、シリコングルマニウムチャンネル層320の上部表面が完全に覆われるように全面にアルミニウム酸化膜330及びゲート導電層340を順次に形成する。ここでアルミニウム酸化膜330はゲート絶縁膜として使われる。このアルミニウム酸化膜330の厚さは20～500Åにする。このアルミニウム酸化膜330を形成する方法としては原子層蒸着法を含む化学的気相蒸着法を使用するが、他の物理的気相蒸着法も使用できる。いずれの方法を使用しても、アルミニウム酸化

膜330の蒸着温度は低温にする。その理由は、蒸着温度をさらに高めれば、シリコンゲルマニウムチャンネル層320内でシリコンとゲルマニウムが分解される現象が発生されるからである。シリコンとゲルマニウムが分解されると、ゲート絶縁膜にストレスを与えチャンネル内でキャリアの移動度を落とすので、素子の電気的特性が劣化する。蒸着方法として原子層蒸着法を使用する場合、蒸着温度は100～700℃に維持させる。一方、前記ゲート導電層340はポリシリコンまたはポリシリコン-ゲルマニウム合金を使用して形成でき、それら以外にも色々な金属物質を使用して形成することができる。

【0021】次に、所定の食刻マスク膜パターンを使用してパターニングされたゲート導電層340及びアルミニウム酸化膜330を形成する。即ち、食刻マスク膜パターンとして所定の開口部を有するフォトレジスト膜パターン(図示せず)をゲート導電層340上に形成する。そして、このフォトレジスト膜パターンを食刻マスクとしてゲート導電層340及びアルミニウム酸化膜330を順次に食刻する。この食刻はシリコンゲルマニウムチャンネル層320の表面が露出されるまで遂行する。食刻工程が終った後はフォトレジスト膜パターンを除去し、その結果物が図4に示されている。

【0022】次に、図4に示したように、全面に第2導電型、例えばN型不純物イオンを注入する。N型不純物イオンとしては燐(P)または砒素(As)イオンを使用する。この時注入濃度は $1 \times 10^{15} \sim 1 \times 10^{16}/\text{cm}^2$ にし、注入エネルギーは2～30KeVの低エネルギーにして浅い接合のソース及びドレイン領域350'を形成する。この浅い接合のソース及びドレイン領域350'が形成されることによってシリコンゲルマニウムチャンネル層320内のチャンネル長さも決定される。

【0023】次に、図5に示したように、ゲート導電層330の側壁にスペーサ360を形成する。このスペーサ360は、シリコン酸化膜361とシリコンナイトライド膜362が順次に積層された構造からなる。このスペーサ360を形成するためには、まず図4の構造体全面にシリコンゲルマニウムチャンネル層320が分解されない程度の温度でシリコン酸化膜とシリコンナイトライド膜を順次に形成する。そしてエッチバック工程を遂行してゲート導電層330の側壁にのみシリコン酸化膜361とシリコンナイトライド膜362を残らせる。次に、選択的エピタキシャル成長法を使用してシリコンゲルマニウムチャンネル層320の露出表面上にシリコン層370'を形成する。前記ゲート導電層340がポリシリコンまたはポリシリコン-ゲルマニウム合金より形成された場合には、前記シリコン層370'が形成されると同時にゲート導電層340上にはポリシリコン層380が形成される。

【0024】次に、図6に示したように、ポリシリコン 50

層380が形成された結果物にN型不純物イオンを注入する。N型不純物イオンとしては燐または砒素イオンを使用する。この時注入濃度は $1 \times 10^{15} \sim 1 \times 10^{16}/\text{cm}^2$ にし、注入エネルギーは10～80KeVのエネルギーを使用する。注入されたN型不純物イオンは、シリコン層(図5の370')及びシリコンゲルマニウムチャンネル層320を貫通して半導体基板300に注入される。次に、急速熱処理工程を遂行して注入された不純物イオンをドライブイン拡散させる。すると半導体基板300及びシリコンゲルマニウムチャンネル層320の一部領域にはN型の高濃度ソース及びドレイン領域350が形成される。このソース及びドレイン領域350は、先に形成された浅い接合のソース及びドレイン領域と重畠されてLDD構造となる。これと同時にシリコン層(図5の370')に注入された不純物もドライブイン拡散されて、上昇したソース及びドレイン領域370が形成される。

【0025】次に、上昇したソース及びドレイン領域(図6の370)およびポリシリコン層380の上部に金属層(図示せず)を形成する。この金属層は高融点金属、例えばTi、Co、Ni、ZrまたはPtよりも、あるいはこれら金属の合金で形成される場合もある。次いで所定の熱を加えて上昇したソース及びドレイン領域370の上部に存在するシリコンと金属層の下部に存在する金属とを反応させる。このとき同時にポリシリコン層380に存在するポリシリコンと金属層に存在する金属も反応する。その結果、図7に示したように、上昇したソース及びドレイン領域370上に金属シリサイド390が形成され、ゲート導電層340上にも金属シリサイド400が形成される。この時図面には示さなかったが、金属シリサイド390、400上とシリコン成分が存在しない領域には反応しない金属層が残る。そこで湿式食刻液、例えばH₂O₂、H₂SO₄及びH₂O溶液の混合溶液を使用して残っている金属層を除去する。するとゲート導電層340上にはゲート電極としての金属シリサイド400が露出し、上昇したソース及びドレイン領域370上にはソース及びドレイン電極としての金属シリサイド390が露出する。このような状態で層間絶縁膜を形成し、金属配線工程を遂行すれば本発明に係る上昇したソース及びドレイン領域を有するSiGeチャンネルのMOSトランジスタが完成する。

【0026】

【発明の効果】本発明に係るSiGeチャンネルのMOSトランジスタによれば、チャンネルとしてキャリアの移動度が高いSiGe層を使用するので素子の動作速度を速くすることができ、ゲート絶縁膜として誘電率が高いアルミニウム酸化膜を使用するので素子のコンダクタンスを増加させられる。特に前記アルミニウム酸化膜は、700℃以下の低温で形成させることによって素子の電気的な特性を劣化させずにSiGeチャンネルの長所を維持できる。

【図面の簡単な説明】

【図 1】本発明に係るSiGeチャンネルのMOSトランジスタの第1実施形態を示す断面図である。

【図 2】本発明に係るSiGeチャンネルのMOSトランジスタの第2実施形態を示す断面図である。

【図 3】本発明に係るSiGeチャンネルのMOSトランジスタ製造方法の実施の形態を示す断面図である。

【図 4】本発明に係るSiGeチャンネルのMOSトランジスタ製造方法の実施の形態を示す断面図である。

【図 5】本発明に係るSiGeチャンネルのMOSトランジスタ製造方法の実施の形態を示す断面図である。

【図 6】本発明に係るSiGeチャンネルのMOSトランジスタ

タ製造方法の実施の形態を示す断面図である。

【図 7】本発明に係るSiGeチャンネルのMOSトランジスタ製造方法の実施の形態を示す断面図である。

【符号の説明】

100 半導体基板

110 素子分離膜

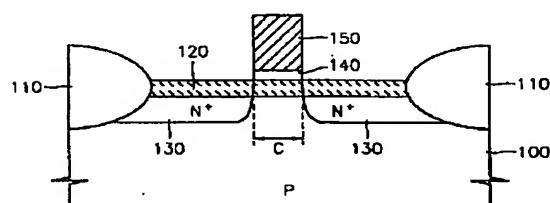
120 シリコングルマニウムチャンネル層

130 ソース及びドレイン領域

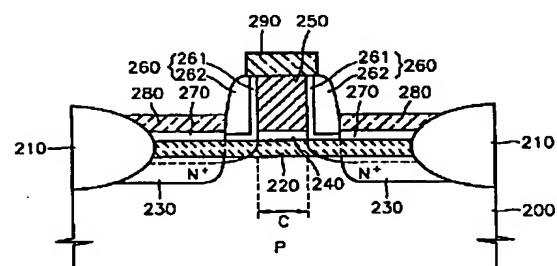
140 アルミニウム酸化膜

10 150 ゲート導電層

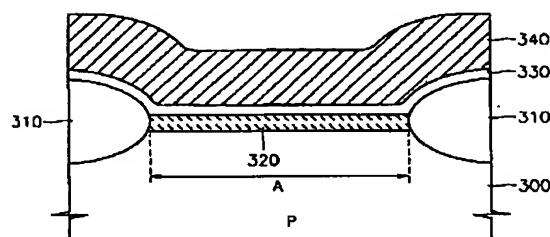
【図 1】



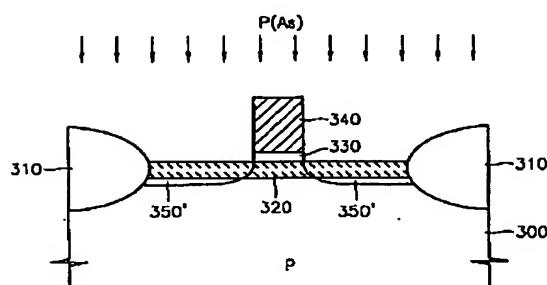
【図 2】



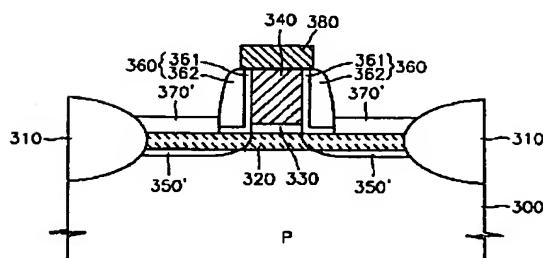
【図 3】



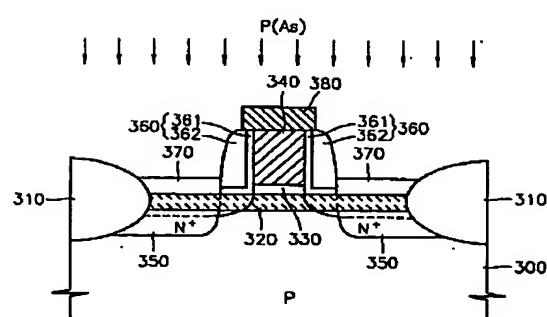
【図 4】



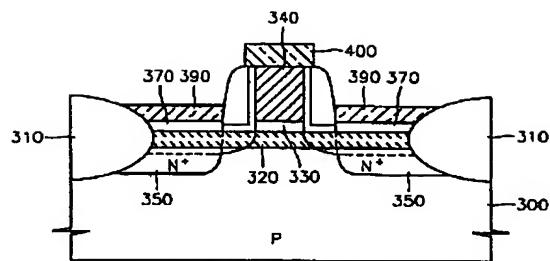
【図 5】



【図 6】



【図7】



フロントページの続き

(72)発明者 宋 源 ▲サン▼

大韓民国ソウル特別市瑞草区瑞草4洞1686
-4番地 錦湖アパートナ棟712号

(72)発明者 朴 正 雨

大韓民国ソウル特別市江南区逸院洞 プル
ンマウル107棟1404号